

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-87223

(43)公開日 平成11年(1999) 3月30日

(51)Int.Cl.⁶

H 0 1 L 21/027

G 0 3 F 7/20

識別記号

5 0 4

5 2 1

F I

H 0 1 L 21/30

G 0 3 F 7/20

H 0 1 L 21/30

5 4 1 D

5 0 4

5 2 1

5 4 1 P

審査請求 未請求 請求項の数4 O L (全 13 頁)

(21)出願番号

特願平9-246514

(22)出願日

平成9年(1997) 9月11日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小山 雅章

東京都品川区北品川6丁目7番35号 ソニー株式会社内

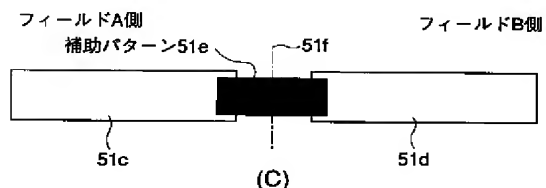
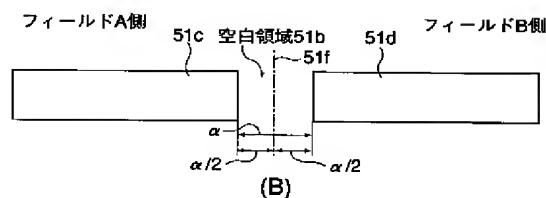
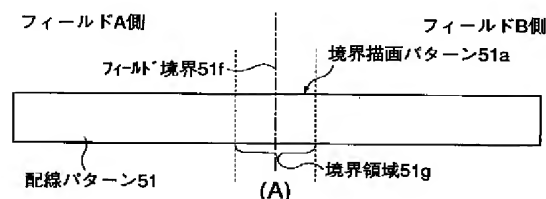
(74)代理人 弁理士 岡▲崎▼ 信太郎 (外1名)

(54)【発明の名称】 電子ビーム露光装置及び電子ビーム露光方法

(57)【要約】

【課題】 対象物に電子線を照射し描画する際に、描画パターン同士が位置ずれを生じて、所定の許容範囲内の配線幅を確保することができる電子ビーム露光装置及び電子ビーム露光方法を提供すること。

【解決手段】 電子線を照射することにより対象物44にパターンを描画する電子ビーム露光装置1において、制御計算機10に、一度に描画することができる範囲同士の境界51fに跨る境界描画パターン51aに関して、境界51fを含む所定の空白領域51bを設けて描画パターン52同士が所定量離れるように描画基本データ12eを加工して除去描画データ12fを生成する除去演算処理部12aと、空白領域51bを補足するための補助パターン51eの追加描画データ12gを除去済描画データ12fに追加する追加演算処理部12bとを設ける。



【特許請求の範囲】

【請求項1】 電子線を照射することにより対象物にパターンを描画する電子ビーム露光装置において、対象物に電子線を照射し描画する描画装置本体と、描画装置本体を制御するための描画装置制御部と、描画パターンに基づく描画データを生成する制御計算機と、を有しており、

制御計算機は、一度に描画することができる範囲同士の境界に跨る境界描画パターンに関して、境界を含む所定の空白領域を設けて描画パターン同士が所定量離れるように描画基本データを加工して除去描画データを生成する除去演算処理部と、空白領域を補足するための補助パターンの追加描画データを除去描画データに追加する追加演算処理部とを備えることを特徴とする電子ビーム露光装置。

【請求項2】 描画装置本体は、補助パターンの形状の開口部が成形されたアパーチャを有する請求項1に記載の電子ビーム露光装置。

【請求項3】 対象物は、半導体ウェハである請求項1に記載の電子ビーム露光装置。

【請求項4】 電子線を照射することにより対象物にパターンを描画する電子ビーム露光方法において、一度に描画することができる範囲同士の境界に跨る境界描画パターンに関して、境界を含む所定の空白領域を設けて描画パターン同士が所定量離れるように描画基本データを加工して除去描画データを生成して描画し、空白領域を補足するための補助パターンを生成して描画することを特徴とする電子ビーム露光方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えば半導体基板（ウェハ）上に塗布された電子線感光レジストに電子ビームを照射し、電子線感光レジスト材料に対して回路パターンを描画する電子線リソグラフィ技術を用いた電子ビーム露光装置及び電子ビーム露光方法の改良に関するものである。

【0002】

【従来の技術】以下の説明において、回路パターン、描画パターン、配線パターンという用語を使用するが、回路パターンとは、半導体集積回路を製造する工程において、電子ビーム露光装置により半導体集積回路の配線の配置パターンを電子線感光レジスト（以下レジストと呼ぶ）に描画する集積回路全体のパターンのことであり、描画パターンとは、回路パターンを複数回に分けて描画する際の1回分の配置パターンのことであり、配線パターンとは描画パターンにおける1本の配線等の配置パターンのことである。

【0003】半導体製造工程において、半導体チップを製造するための基となるウェハに対して集積回路の回路パターンを成形するためには、感光剤をウェハに塗布す

る工程、ウェハを露光する工程、ウェハを現像する工程、ウェハをエッチングするエッチング工程、さらにウェハ上に薄膜を成形する薄膜成形工程等を経て集積回路をウェハ上に成形する。ウェハを露光する工程で使用する露光技術には、ホトリソグラフィ技術と電子線リソグラフィ技術がある。ホトリソグラフィ技術は、ウェハの表面にフォトレジストと呼ばれる感光材を塗布し、マスクと呼ばれる集積回路の回路パターンが焼き付けられた薄膜をウェハ上のフォトレジストに対して露光する技術である。

【0004】電子線リソグラフィ技術（電子線描画技術）は、電子銃から照射された電子線を、ウェハ上に塗布されたレジストに直接照射することにより、所定の半導体集積回路パターンを露光する技術である。電子線リソグラフィ技術は、ホトリソグラフィ技術よりもより微細なパターンを転写することができる。

【0005】電子線リソグラフィ技術を用いて露光する半導体集積回路の回路パターンは微細であるため、1つの集積回路分の回路パターンを対象物に対して露光する場合には複数回に分けて露光を行う。従来、回路パターンを電子ビーム露光装置にて1度に描画できる描画パターンの範囲であるフィールドとフィールドの境界付近においては、描画した描画パターンの位置ずれが生じて、配線パターンの幅が細くなったり（以下パターン線細りと呼ぶ）、太くなったり（以下パターン線太りと呼ぶ）する場合があった。

【0006】この問題点を解決する方法としては、多重露光法が存在する。多重露光法は、フィールドの境界部分において露光量を通常より少なくして、描画パターンを複数回露光することにより、フィールドとフィールドとの境界の描画パターンを精度良く露光する方法であり、パターンつなぎ精度を改善する方法である。

【0007】ところが、このような露光方法を採用すると、描画パターンと描画パターンとのつなぎが発生する部分1カ所につき、描画パターンを複数回に渡り描画しなければならないので1つの回路パターンを全て露光するためには、相当数の露光回数となってしまう。従って、半導体製造装置のスループットを著しく低下させてしまう。このような問題点を解決するためには、フィールドとフィールドとの境界付近を露光する回数を減らし、少ない露光回数においてもパターンつなぎ精度を向上させることが要求される。

【0008】このような要求を満たす方法としては、特開平8-330216のような方法がある。これは、図14（A）のようにフィールドAとフィールドBとの境界であるフィールド境界51fのように、描画パターン同士の位置を調整する必要性が発生する箇所に対して、図14（B）のように描画パターン同士の位置の調整を行う補助パターン151eを付加して描画する方法である。これにより、パターン線細り、断線等を防ぐことが

できる。この方法では、多重露光法と比較すると、露光回数は補助パターンを露光する1回分の増加で済むため、半導体製造工程においてスループットが向上する点では有効な方法である。

【0009】しかしながら、この方法にも以下のような欠点が存在する。図15(A)のようにフィールドAとフィールドB付近で重なって描画されてしまった場合には、重なった部分の2重露光によるパターン線太りが生じてしまうが、この状態で補助パターン151eを付加して露光すると、さらにパターン線太りが発生してしまう。これにより、図15(B)のように隣接する配線パターン51同士が短絡してしまう。

【0010】このような欠点を防止する方法としては、特公平8-15138のような方法がある。これは、図16のように描画パターン同士が隣接する配線パターン51のつなぎ目51gを配線パターン51毎にずらして描画することにより、パターン線太りによる隣接する配線パターンとの間での短絡を防ぐ方法である。

【0011】

【発明が解決しようとする課題】ところが、この方法では、配線パターンのつなぎ目を配線パターン毎にずらして、さらにずらした位置まで配線パターンを延長した上で描画する必要がある。また、この方法では、配線パターンのパターン線太りやパターン線細りそのものを防ぐわけではないので、パターン線太りやパターン線細りに有効な方法とはいえない。そこでこの発明は上記課題を解消し、対象物に電子線を照射し描画する際に描画パターン同士が位置ずれを生じて、所定の許容範囲内の配線幅を確保することができる電子ビーム露光装置及び電子ビーム露光方法を提供することを目的としている。

【0012】

【課題を解決するための手段】上記目的は、この発明にあっては、電子線を照射することにより対象物にパターンを描画する電子ビーム露光装置において、対象物に電子線を照射し描画する描画装置本体と、描画装置本体を制御するための描画装置制御部と、描画パターンに基づく描画データを生成する制御計算機と、を有しており、制御計算機は、一度に描画することができる範囲同士の境界に跨る境界描画パターンに関して、境界を含む所定の空白領域を設けて描画パターン同士が所定量離れるように描画基本データを加工して除去描画データを生成する除去演算処理部と、空白領域を補足するための補助パターンの追加描画データを除去描画データに追加する追加演算処理部とを備えることを特徴とする電子ビーム露光装置により達成される。また、上記目的は、この発明にあっては、電子線を照射することにより対象物にパターンを描画する電子ビーム露光方法において、一度に描画することができる範囲同士の境界に跨る境界描画パターンに関して、境界を含む所定の空白領域を設けて描画パターン同士が所定量離れるように描画基本データを加

工して除去描画データを生成して描画し、空白領域を補足するための補助パターンを生成して描画することを特徴とする電子ビーム露光方法により達成される。

【0013】この発明では、除去演算処理部により描画パターン同士の境界に所定の空白領域を設けて描画し、さらに、この空白領域に補助パターンを追加して描画することにより、電子ビーム露光の誤差による描画パターン同士の離れ方向及び重なり方向の位置ずれが生じた場合でも、許容範囲内の配線幅の配線等を成形することができる。このため、例えば半導体等の製造工程において歩留まりを向上することが期待できる。

【0014】

【発明の実施の形態】以下、この発明の好適な実施の形態を添付図面に基づいて詳細に説明する。なお、以下に述べる実施の形態は、この発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、この発明の範囲は、以下の説明において特にこの発明を限定する旨の記載がない限り、これらの形態に限られるものではない。

【0015】以下の説明において、回路パターン、描画パターン、配線パターンという用語を用いるが、これらの意味は従来技術での用語の用いられ方と同様である。図1は、この発明の電子ビーム露光装置の好ましい実施の形態を示す機能構成図である。電子ビーム露光装置1は、図1のように制御コンピュータ10（制御計算機）、描画装置制御部20、及び描画装置本体30等から構成されている。

【0016】制御コンピュータ10は、図1のようにCPU11、メモリ12、ハードディスク13、キーボード14、ディスプレイ15、コントローラ16、外部機器インターフェイス17、及びバスBS等から構成されている。CPU11は、例えば中央演算処理部（CPU: Central Processing Unit）である。CPU11は、制御コンピュータ10全体を制御するばかりでなく、描画装置制御部20に対して制御指令を与えることにより描画装置本体30を操作する。CPU11は、メモリ12に読み込まれたデータやプログラムにアクセスしながら処理を行う。

【0017】メモリ12は、CPU11が演算処理する際の作業領域であり、データ等の記憶領域でもある。メモリ12は、図2のように描画データ12c、除去演算処理部12a、追加演算処理部12b、露光制御部12dなどが存在している。尚、描画データ12c、除去演算処理部12a、追加演算処理部12b、及び露光制御部12dは、メモリ12に存在しているように表現しているが、実際はこれら処理するプログラムが例えばハードディスク13からメモリ12に読み込まれることにより、CPU11がメモリ12に対してアクセスしながらプログラムなどの処理をしている。

【0018】描画データ12cは、ハードディスク13

等から読み込まれた描画データである描画基本データ12e、描画基本データ12eから所定の領域の描画データを除去した除去描画データ12f、補助パターン51eの描画データである追加描画データ12g等である。これらのデータは、常に存在するのではなく、必要に応じてハードディスク13等から読み込まれたり、CPU11にて処理されてメモリ12上に存在するデータである。

【0019】露光制御部12dは、描画装置本体30を制御するためのソフトウェアである。露光制御部12dは、描画装置制御部20に対して所定の制御指令を与えることにより、描画装置本体30を操作する。

【0020】ハードディスク13は、情報を記録し保持するための情報記憶媒体であり、例えばハードディスクである。ハードディスク13は、例えば設計された集積回路の回路パターンであるCADデータ17aに対して、所定の処理がされ、電子ビーム露光装置の描画用にデータ化された描画基本データ12e等を保管する。キーボード14は、制御コンピュータ10に対して入力を行う入力手段（例えばキーボード）である。

【0021】ディスプレイ15は、制御コンピュータ10の表示装置であり、例えばプラズマディスプレイや液晶ディスプレイである。コントローラ16は、ハードディスク13、キーボード14、ディスプレイ15、外部機器インターフェイス17などの機器を制御する。外部機器インターフェイス17は、制御コンピュータ10と外部の機器とのやり取りをするためのコネクタ（接続部）等であるため、いろいろな機器（例えば、描画装置制御部20、FD、及びCD-ROMなど）と接続する接続部である。外部機器インターフェイス17は、CADデータ17aを制御コンピュータ10に取り込むための装置にも接続している。

【0022】バスBSは、命令やデータ等が通るための信号線の一種である。バスBSは、例えばCPU11、メモリ12、ハードディスク13、キーボード14、ディスプレイ15、コントローラ16、及び外部機器インターフェイス17と電気的に接続されている。

【0023】描画装置制御部20は、図1のようにデータ制御部21、第1の偏向制御部22、第2の偏向制御部23、第3の偏向制御部24、電子光学系制御部27、及びステージ制御部25から構成されている。データ制御部21は、制御計算機10からの制御指令を受け取り、描画装置制御部20全体を制御している。第1の偏向制御部22、第2の偏向制御部23、及び第3の偏向制御部24は、描画装置本体30に設けられている第1偏向部37、第2偏向部38、及び第3偏向部39をそれぞれ制御するための制御部である。

【0024】電子工学系制御部27は、描画装置本体30に設けられている光学系レンズ、例えば第1レンズ31、第2レンズ32、第3レンズ33、及び第4レンズ

34などを制御する。ステージ制御部25は、対象物44に対して電子線を所定の場所に照射するために互いに直交する2方向に位置を調整するための制御部である。

【0025】描画装置本体30は、図1のように電子銃41、スリット40、第1アパーチャ35、第2アパーチャ36、XYステージ42、ステージ駆動系43、第1偏向部37、第2偏向部38、第3偏向部39、第1レンズ31、第2レンズ32、第3レンズ33、及び第4レンズ34等から構成されている。

【0026】電子銃41は、電子線を照射する電子銃である。スリット40は、電子銃41にて照射された電子線の形状を成形する。第1アパーチャ35、第2アパーチャ36は、電子線を成形するための成形絞りであり、成形絞りは補助パターン51eの形状をした開口部を有する。開口部の形状は、例えば図9のような長方形や図12のような略十字形状である。電子線は、電子銃41から照射され、開口部の形状に合わせて成形される。尚、補助パターン51eの配線幅方向の幅（図9のW2や図12のW5）は、配線パターンが露光されたときの配線幅が、設計時の本来の配線幅に対してその誤差が±10%になるように所定の幅に設定する。

【0027】XYステージ42は、対象物44が配置されるステージであり、対象物44とともにステージ駆動系43により平面上で互いに直交する2方向に移動される。ステージ駆動系43は、XYステージ42を移動するためのアクチュエータである。ステージ駆動系43は、描画装置制御部20のステージ制御25により制御されている。ステージ駆動系43は、XYステージ42の移動量がレーザ干渉計46によってステージ制御部25を経由してCPU11に読み込まれ、描画パターンの位置と比較し、補正量を偏向系（第1偏向部37、第2偏向部38、第3偏向部39）にフィードバックして描画領域間を精度良くつなぎ合わせる。

【0028】第1偏向部37、第2偏向部38、及び第3偏向部39は、電子銃41により打ち出された電子線を所定の方向へと偏向させるものであり、ここでは描画装置本体30は、図1のように例えば3つの偏向部を設けている。

【0029】第1レンズ31、第2レンズ32、第3レンズ33、及び第4レンズ34は、電子銃41により打ち出された電子線を、例えば縮小するための光学系のレンズである。第1レンズ31、第2レンズ32、第3レンズ33、及び第4レンズ34は、電子光学系制御部27により制御されている。これらのレンズは、例えば4つ設けられている。

【0030】描画装置本体30の動作は、図1のように上下に配置した2つのアパーチャ、第1アパーチャ35、第2アパーチャ36を用いて、方形成形用電極である3つの偏向部、第1偏向部37、第2偏向部38、第3偏向部39をそれぞれのアパーチャを挟むように配置

する。描画装置本体30は、レジスト44aが塗布された基板44b（ウェハ）である対象物44に対して、電子銃41から照射した電子線（電子ビーム）を各偏向部により偏向させ、像と各アパーチャの重なりを変えることにより必要な大きさの、例えば方形形状の補助パターン51eや略十字形状の補助パターン51eを成形する。以下の説明では、特に指定しない限り補助パターンは方形形状のものを使用して説明している。得られた方形ビームは縮小され、さらに下段にある偏向電極により所望の位置に投影し必要なパターンの露光を行う。

【0031】電子ビームの偏向領域は、通常数mm角程度で小さく、レジスト44aの全面を露光するにはXYステージ42を移動させて行う必要がある。XYステージ42の移動量は、レーザ干渉系43によって信号プロセッサ26に読み込まれ、描画合成データ12hの回路パターンの位置と比較し、補正量を偏向部にフィードバックして描画領域間を精度良くつなぎ合わせる。この方法により、露光面積の大きい集積回路のパターン描画が可能である。

【0032】以上、この発明の電子ビーム露光装置の好ましい実施の形態の構成について説明したが、次に以下の図3から図5を参照しながら作用について説明する。図3は、この発明の電子ビーム露光装置の好ましい実施の形態の処理を示すフローチャートである。図4は、電子ビーム露光装置により電子線を照射される対象物を示す平面図である。図5は、電子ビーム露光装置により配線パターンが描画される手順を示す図である。図1のCADデータ17aは、集積回路44cの回路パターン54の配線データである。CADデータ17aは、CAD（Computer Aided Design）装置

【0033】ステップST1 跨り配線パターン抽出処理

ウェハ44は、図4のように集積回路44cが縦横に配列されるべきものである。その内の1つの集積回路44cは、例えば縦6列、横6列分に分けて36回に渡り描画パターンが描画され、回路パターン54が成形される。図5（A）は、図4のフィールドAとフィールドBを拡大した図である。除去演算処理部12aは、図2の描画基本データ12eにおいて図5（A）のようにフィールド境界51f上のフィールドAとフィールドBとを跨ぐ配線パターン51を、全て抽出する。

【0034】ステップST2 境界描画パターン除去処理

さらに除去演算処理部12aは、ステップST1にて抽出された配線パターン51の境界の部分となる図5

（A）の境界描画パターン51aについて、図5（B）のように空白領域51bを設ける（境界領域51gの配線パターンを描画基本データ12cから除去する）。空白領域51bは、描画パターンがフィールド境界51fから $\alpha/2$ 離れるように、この処理をフィールドAとフィールドBとが隣接する境界を含む境界領域51g全域に対して行い、描画基本データ12から除去描画データ12fを生成する。

【0035】ステップST3 露光処理

露光制御部12dは、ステップST2で生成された除去描画データ12fを基に、電子線を露光する指令を描画装置制御部20に対して行い、ウェハ44のレジスト44aに対して描画パターンを描画させる。

【0036】ステップST4 補助パターン生成処理

追加演算処理部12bは、図5（c）のように配線パターン51cと配線パターン51dとを接続する補助パターン51eをステップST2にて生成された除去描画データ12fの空白領域51bに配置されるように、フィールドAとフィールドBの境界51f上のすべての空白領域51bに配置されるような追加描画データ12gを生成する。ここで、この補助パターン51eはフィールドAとフィールドBの一方にのみ追加するようにしなければならない。これは、両方の描画パターンフィールドに追加するようにしてしまうと、補助パターン51eを2重に成形してしまうからである。これらの処理を回路パターン54全てに対して行う。

【0037】ステップST5 露光処理

露光制御部12dは、ステップ4にて作成された追加描画データ12gに基づき、ウェハ44（レジスト44a）に対して電子線を露光する指令を描画装置制御部20に対して行い、レジスト44aに補助パターン51eを描画させる。電子ビーム（電子線）の露光方法については前述した通りである。

【0038】以上、この発明の電子ビーム露光装置の好ましい実施の形態の処理について述べてきたが、次にこの実施の形態による効果を確かめるために所定の回路パターンを電子ビーム露光装置により描画し、その配線パターンの配線幅を測定し、配線幅の誤差を測定するシミュレーションを行う。

【0039】以下のシミュレーションで使用する電子ビーム露光装置は加速電圧が50KeVであり、電子線を照射する際のEID条件（露光条件）は、以下に示す通りである。

前方散乱半径：0.070 μ m

後方散乱半径：9.5 μ m

後方散乱係数：0.8

【0040】第1シミュレーション

第1シミュレーションでは、この発明の電子ビーム露光

装置の好ましい実施の形態による効果と比較して、検討するための参照データを取る。第1シミュレーションでは、補助パターン51eを追加することなく、電子ビーム露光装置にて回路パターンを描画させる。

【0041】評価対象となる回路パターン54は、図6(A)に示すような描画パターン52である。描画パターン52は、1辺20 μ mの略正方形の領域に、図6(B)の配線幅W1=0.20 μ mのL/Sパターンを1:1で配置している。ここでL/Sパターン(Line and Space)とは、配線パターンと、配線

パターン同士の間の空白パターン両方のパターンのことである。

【0042】図6(B)は、図6(A)の描画パターン52の部分52aの拡大図である。描画パターン52aは、例えばフィールドAとフィールドBとの境界であるフィールド境界51fにより境界をなす部分の描画パタ

$$\text{線幅誤差}\gamma[\%] = ((\text{描画後の配線幅} - \text{設計時の配線幅}) / \text{設計時の配線幅}) \times 100 \cdots (1)$$

以上の定義は、以下のシミュレーションにおいても同様である。

【0045】図7は、第1シミュレーションにおいて配線パターン51cと配線パターン51dとの重なり量(パターン重なり量) $\beta[\mu\text{m}]$ を横軸に取り、配線パターン51の線幅誤差 $\gamma[\%]$ を縦軸に取ることにより、配線パターン51同士の重なり量 β によりどの程度、配線幅に誤差が生ずるかを示している。このグラフで基準となっているのは、パターン重なり量 $\beta=0$ のときであり、線幅誤差 $\gamma=0$ となる点である。図7においては、パターン重なり量 β を0.01 μm ずつずらしながら線幅誤差 γ シミュレーションを行った。

【0046】図7を参照すると、パターン重なり量 β の変化により線幅誤差が顕著にみられるのがわかる。フィールド境界51f上での線幅誤差 γ が $\pm 10\%$ を満たすパターン位置ずれ量 β は、離れ方向が0.017 μm 、重なり方向が0.022 μm である。フィールド境界51f上での線幅誤差 γ が $\pm 10\%$ を満たすパターン位置ずれ量 β の離れ方向と重なり方向の合計であるマージンは、0.039 μm である。

【0047】この第1シミュレーションによるデータを参照しながら、この発明の電子ビーム露光装置の好ましい実施の形態を使用して描画した場合の以下のシミュレーションを行う。

第2シミュレーション

次に、この発明の電子ビーム露光装置の好ましい実施の形態を使用して、第1シミュレーションと略同様のシミュレーションを行う。電子ビーム露光装置1の電子線の露光条件は、第1シミュレーションと略同様である。

【0048】図8(A)は、第2シミュレーションを行うための描画パターン52を示している。第2シミュレーションでは、第1シミュレーション同様フィールド境

*ーンである。

【0043】第1シミュレーションでは、このフィールド境界51fを跨ぐような描画パターン51であって、その配線パターン51cと配線パターン51dとを、図6(B)のようにフィールド境界51fを中心として距離 $\beta[\mu\text{m}]$ だけ離したり重ねたりすることにより(β を変動させて)、配線パターン51をレジスト44aに成形したときのフィールド境界51f付近の配線パターン51の幅である配線幅の線幅誤差 $\gamma[\%]$ をシミュレーションしている。

【0044】尚、距離 β がプラスである場合は配線パターン51cと配線パターン51dとが距離 β 分重なって、距離 β がマイナスの場合は配線パターン51cと配線パターン51dとが距離 β 分離れているものとする。また、線幅誤差 γ は、以下のような式(1)にて計算される。

※界51fを跨る配線パターン51cと配線パターン51dとの配置関係において、補助パターン51eの位置は固定とし、配線パターン51cと配線パターン51dとのパターン重なり量 $\beta=-0.05$ から $\beta=+0.05\mu\text{m}$ となるように(空白領域51bを設ける)、フィールド境界51fから配線パターン51cと配線パターン51dがフィールド境界51fから等距離分離れるように距離 β を0.01 μm ずつ変化させてシミュレーションを行う。尚、図9の補助パターン51eは図8(B)の補助パターン51eと同じ向きであり、補助パターン51eの形状は、図9のように例えば縦幅W2=0.14 μm 、横幅W3=0.12 μm の長方形である。

【0049】図10は、第2のシミュレーションの結果を表している。図10では、第2シミュレーションの効果がわかりやすいように、第1シミュレーション結果も併記してある。以下の説明では、この発明の効果を含まない第1シミュレーション結果を補正前と呼び、この発明の電子ビーム露光装置の好ましい実施の形態による効果を含む当該シミュレーション結果を補正後と呼ぶものとして説明する。図10を参照すると、フィールド境界上での線幅誤差 γ が $\pm 10\%$ を満たすパターン位置ずれ量 β は、補正前が離れ方向が0.017 μm 、重なり方向が0.022 μm 、併せて0.039 μm であるのに対して、補正後は、離れ方向が0.037 μm 、重なり方向が0.021 μm 、併せて0.058 μm となっており、補正前と比較して、0.019 μm もマージンが拡大することができた。

【0050】第3シミュレーション

次に、この発明の電子ビーム露光装置の好ましい実施の形態を使用して、第2シミュレーションと略同様のシミュレーションを行う。電子ビーム露光装置1の電子線の露光条件は、第2シミュレーションと同様である。第3

1 1

シミュレーションでは、第2シミュレーションにおいて、補助パターン51eを図11(B)のように十字型としたものである。図12の補助パターン51eは、図11(B)の補助パターン51eと同じ向きである。補助パターン51eの形状は、図12のようになっており、例えば第1の横幅 $W6=0.08\mu\text{m}$ 、第2の横幅 $W7=0.20\mu\text{m}$ 、第1の縦幅 $W4=0.10\mu\text{m}$ 、第2の縦幅 $W5=0.12\mu\text{m}$ である。補正パターン51eの形状以外の条件については、第2シミュレーションと略同様である。

【0051】図13は、第3のシミュレーションの結果を表している。図13では、第3シミュレーションの効果がわかりやすいように、第1シミュレーション結果も併記してある。図13を参照すると、フィールド境界51f上での線幅誤差 γ が $\pm 10\%$ を満たすパターン位置ずれ量 β は、補正前が $0.039\mu\text{m}$ であるのに対して、補正後は、離れ方向が $0.030\mu\text{m}$ 、重なり方向が $0.029\mu\text{m}$ 、併せて $0.059\mu\text{m}$ となっており、この発明を適用していない第1シミュレーションの場合と比較して、 $0.020\mu\text{m}$ もマージンが拡大することができ、第2シミュレーションのフィールド境界51f上での線幅誤差 γ が $\pm 10\%$ を満たすパターン位置ずれ量 β が $0.058\mu\text{m}$ であることから、第2シミュレーションよりもさらに効果を得ることができる。

【0052】この発明の実施形態によれば、電子ビーム露光装置の露光誤差により描画パターンが位置ずれが生じていても、描画パターン境界付近における描画パターンの配線幅は許容範囲内に収めることができる。

【0053】ところでこの発明は上述した実施形態に限定されるものではない。上述した説明では、半導体製造装置に限定しているが、電子線を照射するどのような装置にも適用することができる。補助パターン（アパーチャの開口部）の形状についても、様々な形状のものも採用することができる。アパーチャや偏向部などの数は、上記に限定されない。

【0054】

【発明の効果】以上説明したように、この発明によれば、対象物に電子線を照射し描画する際に描画パターン同士が位置ずれを生じて、所定の許容範囲内の配線幅を確保することができるため、例えば半導体製造工程において、製品の歩留まりを向上することができる。

【図面の簡単な説明】

1 2

【図1】この発明の電子ビーム露光装置の好ましい実施の形態を示す機能構成図。

【図2】図1のメモリに読み込まれるデータや演算処理部等を示す構成図。

【図3】図1の電子ビーム露光装置での処理を示すフローチャート。

【図4】図1の電子ビーム露光装置にて電子線を照射される対象物を示す平面図。

10 【図5】図1の電子ビーム露光装置にて配線パターンが描画される手順を示す平面図。

【図6】図1の電子ビーム露光装置の効果を確かめるための比較用の第1シミュレーションの様子を示す平面図。

【図7】第1シミュレーションの結果を表すグラフ。

【図8】第2シミュレーションの電子線の描画の様子を示す平面図。

【図9】図8の補助パターンの寸法を示す平面図。

【図10】第2シミュレーションの結果を表すグラフ。

20 【図11】第3シミュレーションの電子線の描画の様子を示す平面図。

【図12】図11の補助パターンの寸法を示す平面図。

【図13】第3シミュレーションの結果を表すグラフ。

【図14】従来の電子ビーム露光装置により描画している様子を示す平面図。

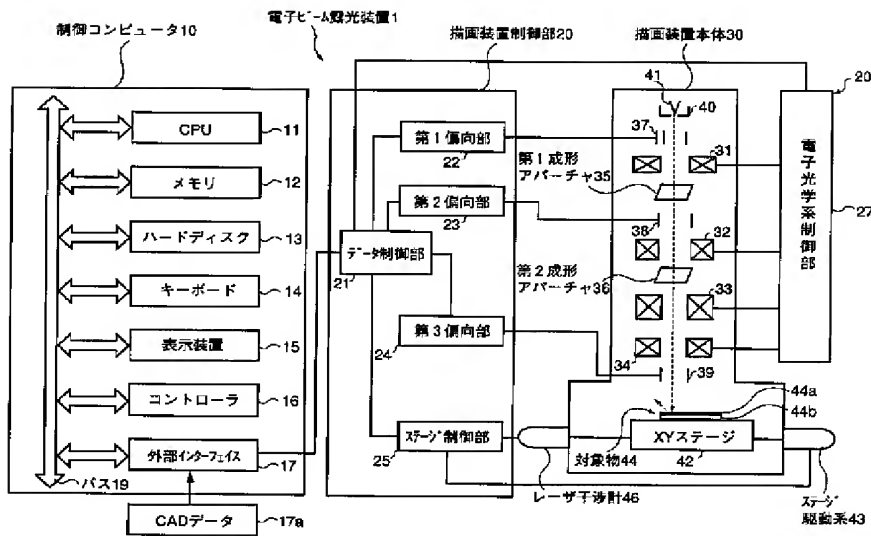
【図15】従来の電子ビーム露光装置により描画したが、隣接する配線パターンが接触している様子を示す平面図。

【図16】特公平8-15138号公報の方法により描画した様子を示す平面図。

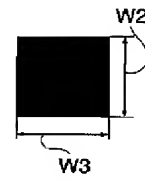
30 【符号の説明】

1・・・電子ビーム露光装置（電子線露光装置）、10・・・制御コンピュータ、12・・・描画データ、12a・・・除去演算処理部、12b・・・追加演算処理部、12c・・・描画基本データ、12d・・・除去描画データ、12e・・・追加描画データ、20・・・描画装置制御部、30・・・描画装置本体、44・・・対象物（ウェハ、半導体ウェハ）、A・・・フィールド、B・・・フィールド、51・・・配線パターン、51b・・・空白領域、51e・・・補助パターン、51f・・・フィールド境界、52・・・配線パターン、54・・・回路パターン

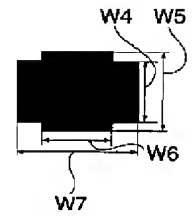
【図1】



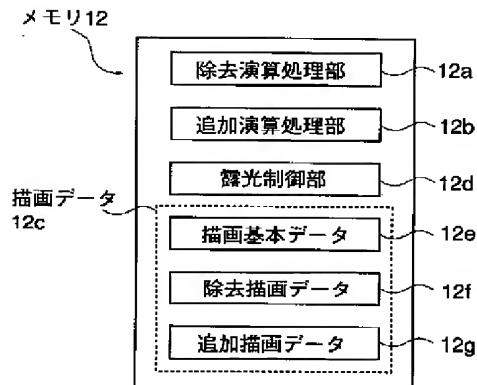
【図9】



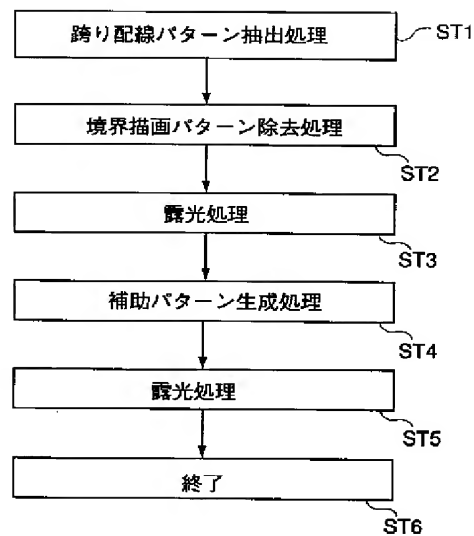
【図12】



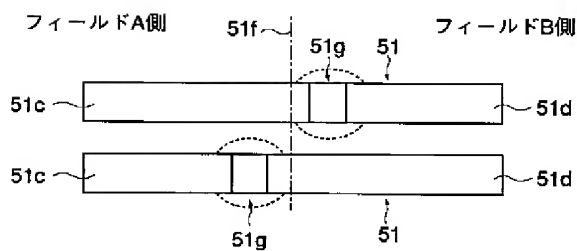
【図2】



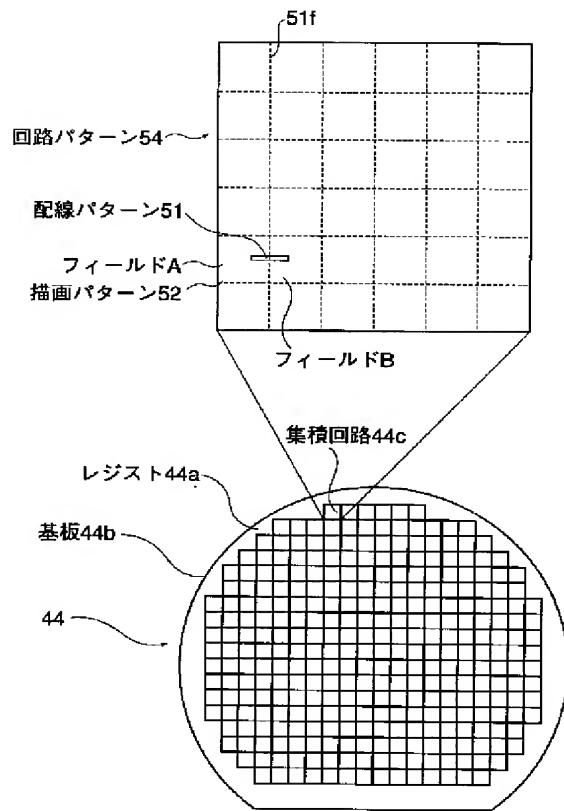
【図3】



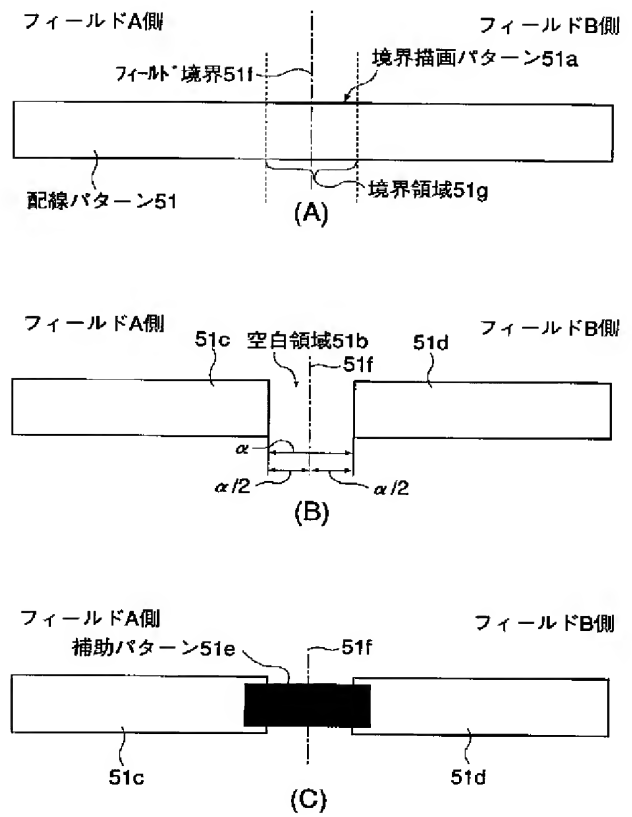
【図16】



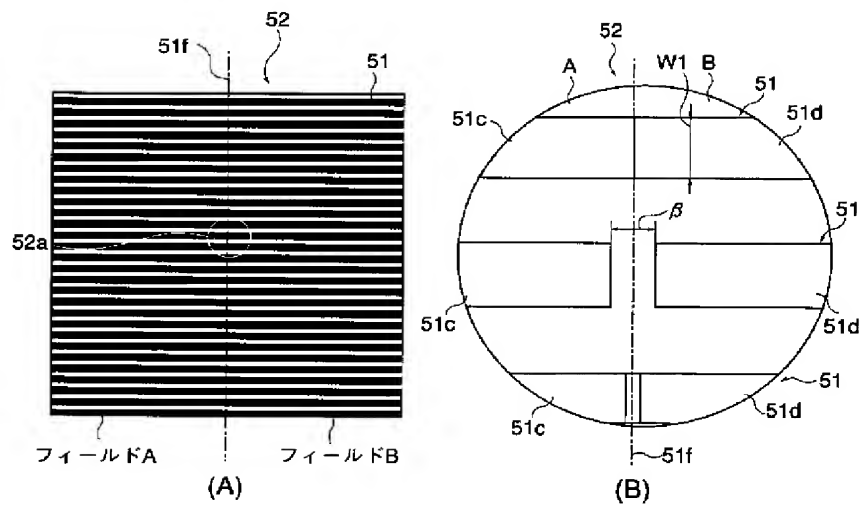
【図4】



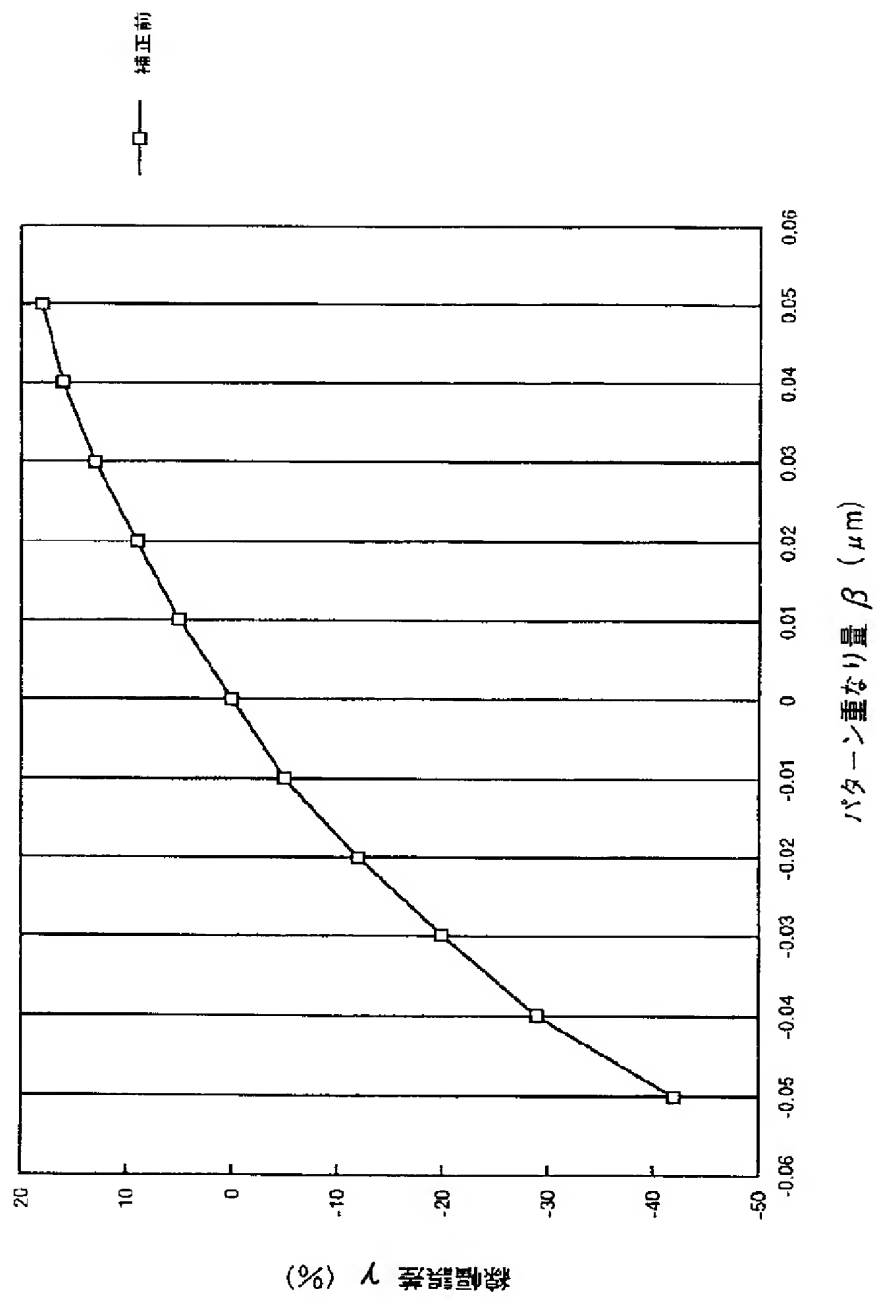
【図5】



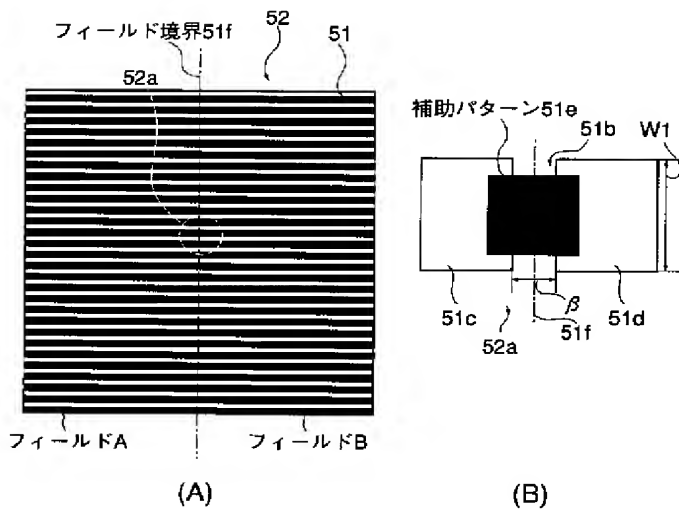
【図6】



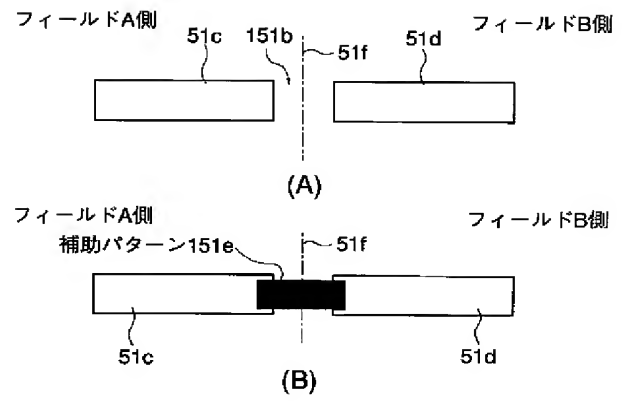
【図7】



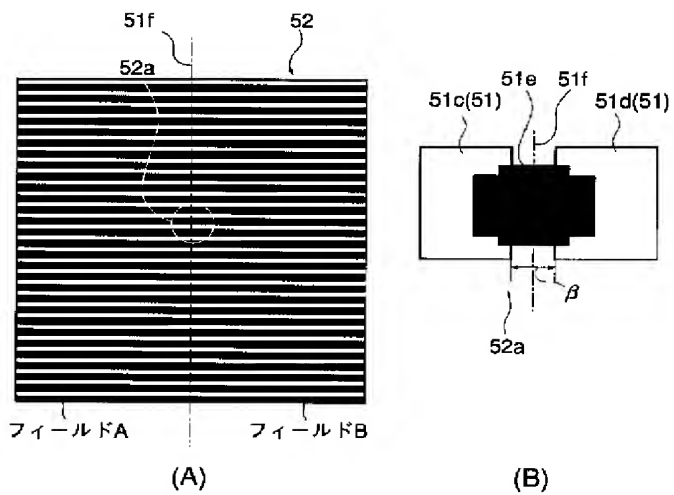
【図 8】



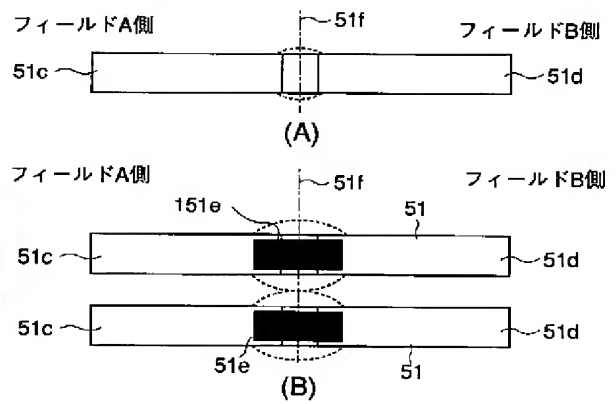
【図 1 4】



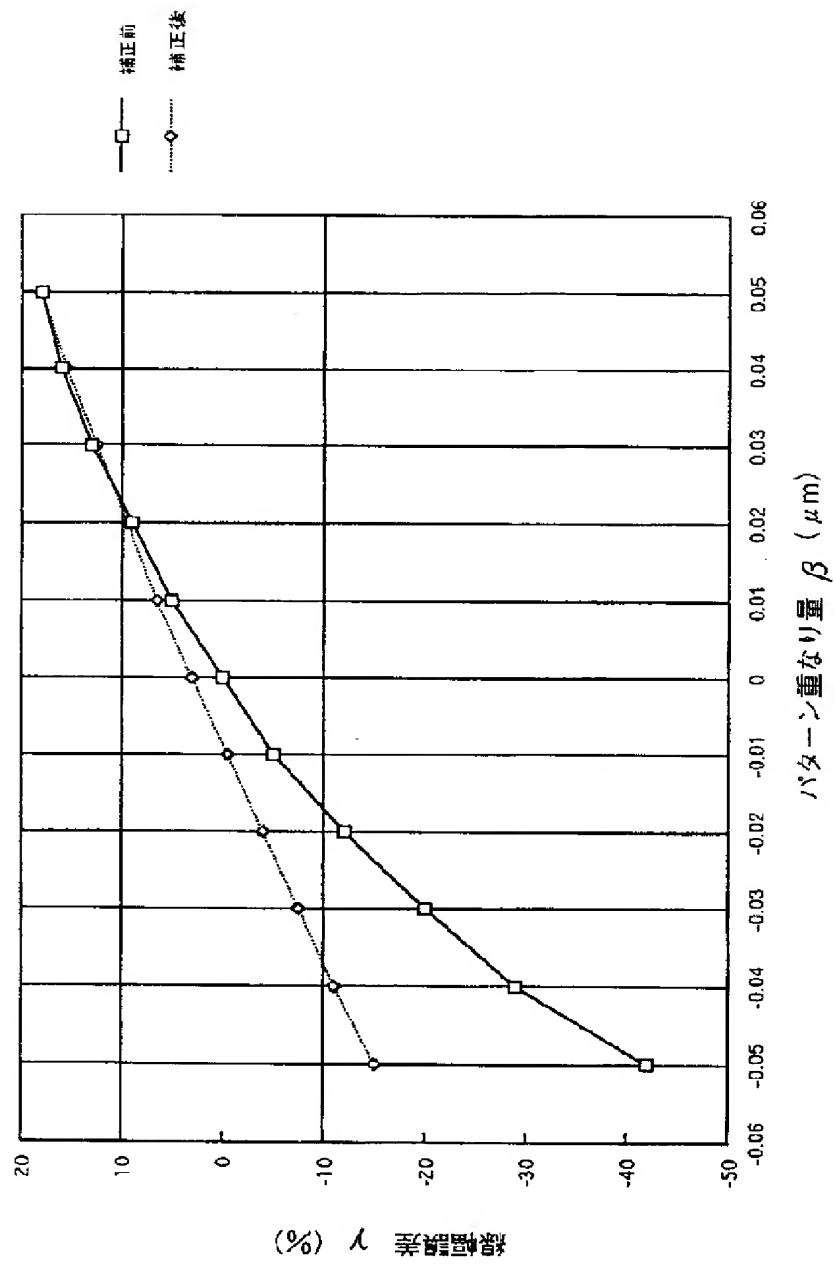
【図 1 1】



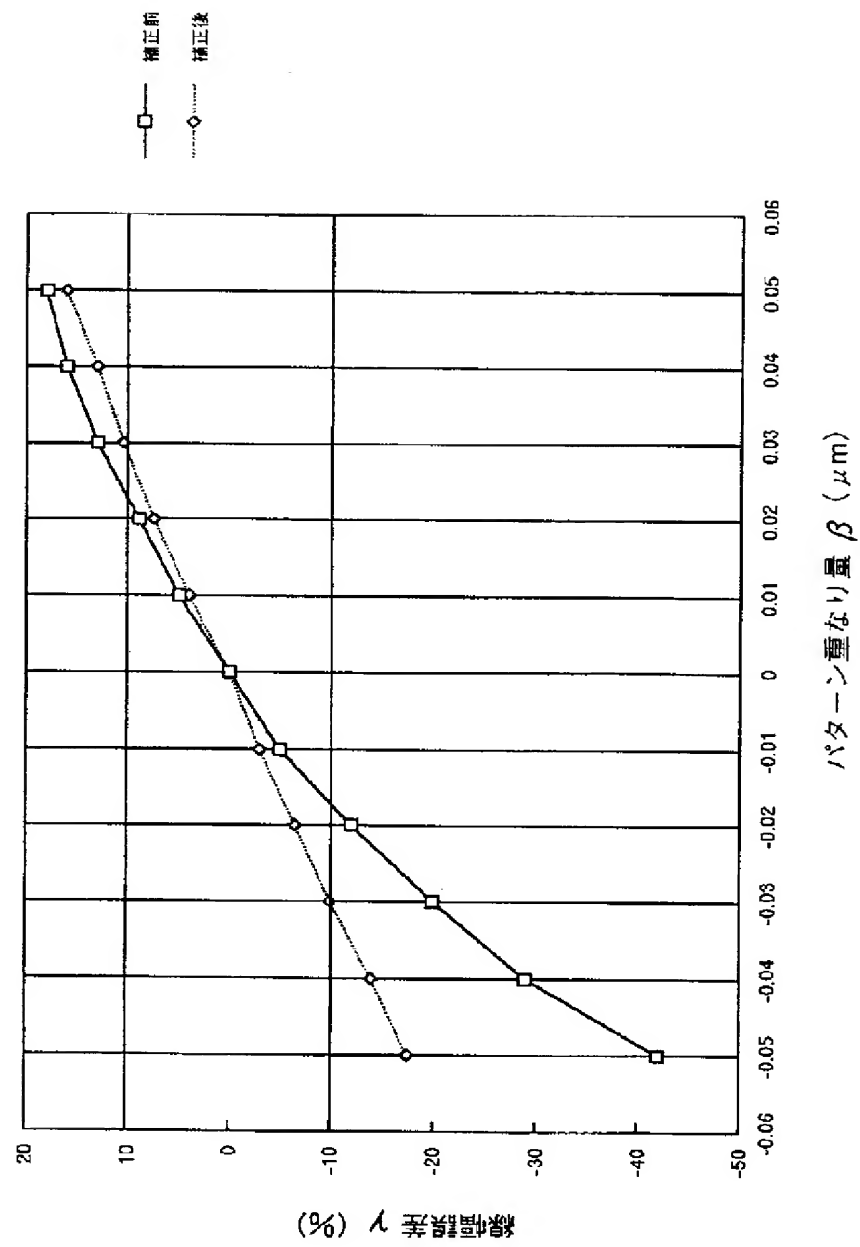
【図 1 5】



【図10】



【図13】



PAT-NO: JP411087223A

DOCUMENT-IDENTIFIER: JP 11087223 A

TITLE: ELECTRON BEAM EXPOSURE SYSTEM AND METHOD
THEREFOR

PUBN-DATE: March 30, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
KOYAMA, MASA AKI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP09246514

APPL-DATE: September 11, 1997

INT-CL (IPC): H01L021/027 , G03F007/20 , G03F007/20

ABSTRACT:

PROBLEM TO BE SOLVED: To enable securing a wiring width within allowable range, even if exposure patterns slips from one another by a method, wherein a vacant region is provided to obtain removal exposure data for separating exposure patterns from one another by adding the additional exposure data of auxiliary patterns for supplementing the vacant region for removing the exposure data.

SOLUTION: In a removal processor, a vacant region 51b is provided in a border exposure pattern 51a to be a border part of a sampled wiring pattern 51. At this time, the vacant region 51 separates the exposure pattern from the field border 51f by $a/2$ in the whole region, including the borders of the fields A and B to obtain the removal exposure data from the exposure basic data. Furthermore, the additional processor obtains additional exposure data to be arranged on the whole region 51b on the border 51f the fields A and B, so that the additional data is arranged on the vacant region 51b of exposure data, excluding the auxiliary pattern 51e for connecting a wiring pattern 51c to another wiring pattern 51d.

COPYRIGHT: (C)1999,JPO